

【書類名】 特許願

【整理番号】 A000002013

【提出日】 平成12年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 電気フューズ、この電気フューズを備えた半導体装置及びその製造方法

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 幸山 裕亮

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気フューズ、この電気フューズを備えた半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 対向して設けられた第1、第2の電極と、これら第1、第2の電極間に介在され、少なくとも一部の領域に、イオン注入により不純物が打ち込まれ、あるいはイオン注入された不純物が貫通することにより絶縁破壊耐圧が制御された絶縁膜とを具備し、

前記絶縁膜を、絶縁破壊するか否かに応じて情報が書き込まれることを特徴とする電気フューズ。

【請求項2】 半導体基板の第1領域上に設けられた第1ゲート絶縁膜と、前記半導体基板における前記第1領域から離隔した第2領域上に設けられ、少なくとも一部の領域に、イオン注入により不純物が打ち込まれることにより、前記第1ゲート絶縁膜より絶縁破壊耐圧が低下された第2ゲート絶縁膜と、

前記第1、第2ゲート絶縁膜上にそれぞれ設けられた第1、第2ゲート電極とを具備することを特徴とする半導体装置。

【請求項3】 第1導電型の半導体基板における第1領域上に設けられた第1ゲート絶縁膜と、

前記半導体基板の前記第1領域から離隔した第2領域上に設けられ、前記第1ゲート絶縁膜より絶縁破壊耐圧が低い第2ゲート絶縁膜と、

前記第1、第2ゲート絶縁膜上にそれぞれ設けられた第1、第2ゲート電極と、

前記第2ゲート電極下の前記半導体基板における少なくとも一部の領域中に設けられた第2導電型の不純物拡散層とを具備し、

前記不純物拡散層は、第2導電型の不純物を、前記第2ゲート絶縁膜を貫通して前記半導体基板中にイオン注入することにより形成され、前記第2ゲート絶縁膜は、イオン注入された第2導電型の不純物が貫通することにより、絶縁破壊耐圧が制御されることを特徴とする半導体装置。

【請求項4】 前記不純物拡散層は、前記第2ゲート電極が存在しない領域

まで延設され、

この不純物拡散層の延設部と電気的に接続される引き出し電極を更に具備することを特徴とする請求項3記載の半導体装置。

【請求項5】 前記第1ゲート絶縁膜及び第1ゲート電極はMOSトランジスタの一部を構成し、

前記第2ゲート絶縁膜及び第2ゲート電極は、前記第2ゲート絶縁膜を絶縁破壊するか否かに応じて情報が書き込まれる電気フューズの一部を構成することを特徴とする請求項2乃至4いずれか1項記載の半導体装置。

【請求項6】 第1の電極上に絶縁膜を形成する工程と、  
前記絶縁膜上に第2の電極を形成する工程と、  
前記絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込み、  
あるいはイオン注入した不純物を貫通させ、前記絶縁膜の少なくとも一部の領域の絶縁破壊耐圧を制御する工程と  
を具備することを特徴とする電気フューズの製造方法。

【請求項7】 半導体基板の第1領域上にMOSトランジスタを形成するとともに、このMOSトランジスタの形成工程の一部を利用して第2領域上に電気フューズを形成する半導体装置の製造方法であって、

前記半導体基板の第1、第2領域上にそれぞれ第1、第2ゲート絶縁膜を形成する第1の工程と、

前記第1、第2ゲート絶縁膜上にそれぞれ第1、第2ゲート電極層を形成する第2の工程と、

前記第2ゲート電極層を貫通して、前記第2ゲート絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込む第3の工程と  
を具備することを特徴とする半導体装置の製造方法。

【請求項8】 第1導電型の半導体基板における第1領域上にMOSトランジスタを形成するとともに、このMOSトランジスタの形成工程の一部を利用して第2領域上に電気フューズを形成する半導体装置の製造方法であって、

前記半導体基板の第1、第2領域上にそれぞれ第1、第2ゲート絶縁膜を形成する第1の工程と、

前記第1、第2ゲート絶縁膜上にそれぞれ第1、第2ゲート電極層を形成する第2の工程と、

前記第2ゲート電極層及び前記第2ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第2導電型の不純物を打ち込む第3の工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項9】 前記第3の工程の後に、

前記第1、第2のゲート電極層上に、それぞれ第3、第4のゲート電極層を形成する第4の工程と、

前記第1乃至第4のゲート電極層をパターニングする第5の工程と  
を更に具備することを特徴とする請求項7または8記載の半導体装置の製造方法。

【請求項10】 前記第2の工程の後に、

前記第1、第2のゲート電極層上に、それぞれ第3、第4のゲート電極層を形成する第4の工程と、

前記第1乃至第4のゲート電極層をパターニングする第5の工程と  
を更に具備することを特徴とする請求項7記載の半導体装置の製造方法。

【請求項11】 前記第2の工程の後に、

前記第1、第2のゲート電極層上に、それぞれ第3、第4のゲート電極層を形成する第4の工程と、

前記第1乃至第4のゲート電極層をパターニングする第5の工程と  
を更に具備し、

前記第3の工程は、パターニングされた前記第3ゲート電極層、前記第2ゲート電極層及び前記第2ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第2導電型の不純物を打ち込むものである  
ことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】 前記第5の工程は、前記半導体基板における前記不純物が  
打ち込まれた領域の少なくとも一部を露出させる工程と、  
露出された前記不純物の打ち込まれた領域の前記半導体基板に電気的に接続さ

れる引き出し電極を形成する工程とを含む  
ことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】 前記第3の工程は、前記第2、第4ゲート電極層がパテーニングされて露出された領域の前記半導体基板中へ第2導電型の不純物を打ち込む工程と、

露出された前記不純物の打ち込まれた領域の前記半導体基板に電気的に接続される引き出し電極を形成する工程とを含む  
ことを特徴とする請求項10または11記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電気フューズ、この電気フューズを備えた半導体装置及びその製造方法に関し、特にリダンダンシ（redundancy）技術に用いる電気フューズに係るものである。

【0002】

【従来の技術】

近年の半導体装置の製造技術の高度化により、半導体装置は年々微細化及び大規模集積化が進んでいる。しかし、集積度の世代が進むに従って、前世代と同じ歩留まりを維持することが困難となってきている。この半導体装置の歩留まりを向上させるための技術として、リダンダンシ技術が注目されている。これは、部分的に不良となった半導体素子を救済するために内部にフューズ素子を設けておき、不良箇所に対応したフューズ素子を切断することによりスペアの半導体素子と置き換えることで、チップ全体としての歩留まりを向上させるものである。

【0003】

上記フューズ素子の一つに、金属配線層をレーザ照射により溶断する（レーザブロー）ことで、不良箇所に対応した情報を書き込むレーザフューズがある。しかし、レーザフューズは、レーザブロー後の後工程（パッケージ工程等）で新たに不良が発生した場合、当該不良箇所を救済することができない。更に、この場合は最終的に不良品となるチップに対してもレーザブローを行っているため、無

駄にコストが掛かっていた。

【0004】

一方、フューズ素子を電気的に切断、または短絡する電気フューズは、後工程終了後でも不良箇所の置き換えが可能であり、レーザフューズに比べて半導体装置の歩留まりを向上できる。更に、後工程で不良となるチップについては置き換えを行わないので、効率が良く有効なリダンダンシ手段である。この電気フューズの一種にキャパシタ構造を用いたアンチフューズがある。これは、キャパシタ構造（フューズキャパシタ）に高電圧をかけて絶縁膜を破壊し、フューズキャパシタを電気的に短絡させることにより情報を書き込むものである。

【0005】

上記アンチフューズの構造及び製造方法について図19（a）、（b）乃至図21（a）、（b）を用いて説明する。図19（a）、（b）乃至図21（a）、（b）はMOS構造のアンチフューズの製造工程の断面図を順次示しており、（a）図は本来の素子としてのMOSトランジスタを形成する回路部、（b）図は周辺回路のうちのアンチフューズ部である。

【0006】

まず図19（a）、（b）に示すように、シリコン基板100に素子分離領域110を形成する。そして、全面にゲート絶縁膜120及び多結晶シリコン膜130aを形成する。

【0007】

次に、低抵抗化のために多結晶シリコン膜130a中に不純物をイオン注入し、図20（a）、（b）に示すように、多結晶シリコン膜130a上にタンゲステン膜130bを形成する。

【0008】

次に図21（a）、（b）に示すように、回路部、アンチフューズ部の多結晶シリコン膜130a及びタンゲステン膜130bをパターニングして、ゲート電極130を形成する。その後は回路部において、ソース、ドレイン領域となる不純物拡散層（図示せず）を選択的に形成する。これにより、回路部ではMOSトランジスタが、アンチフューズ部では、ゲート電極130、ゲート絶縁膜120

、及びシリコン基板100のキャパシタ構造からなるアンチフューズが完成する。

【0009】

また、上記アンチフューズは、様々な半導体装置に広く応用出来、大規模集積化が進むDRAM (Dynamic Random Access Memory) においても、不良メモリセルを冗長メモリセルに置き換える際等に用いられている。図22 (a)、(b)乃至図24 (a)、(b)は両面シリンドラ型のスタック・キャパシタ (stacked capacitor) を採用したDRAMの製造工程の断面図を順次示しており、(a)図はメモリセルアレイ部、(b)図は周辺回路のうちのアンチフューズ部である。

【0010】

まず図22 (a)、(b)に示すように、周知の技術によりシリコン基板100に素子分離領域110を形成する。そして、全面にゲート絶縁膜120を形成し、このゲート絶縁膜120上に、メモリセルアレイ部ではゲート電極130を形成する。更に、隣接するゲート電極130間のシリコン基板100中に不純物拡散層140を形成することでセルトランジスタを形成する。また、アンチフューズ部ではキャパシタの電極の一端と接続する不純物拡散層140を形成する。そして、全面に層間絶縁膜150を形成し、メモリセルアレイ部ではセルトランジスタのドレイン領域と接続するビット線170を形成する。しかる後に、層間絶縁膜160を形成して、セルトランジスタのソース領域及びアンチフューズ部の不純物拡散層140と接続するコンタクトプラグ180、このコンタクトプラグ180に接続する両面シリンドラ型のキャパシタ下部電極190を形成する。

【0011】

次に図23 (a)、(b)に示すように、キャパシタ下部電極190上にキャパシタ絶縁膜200及びキャパシタ上部電極210を順次形成して、所望のパターンにパターニングする。本工程により、メモリセルアレイ部、アンチフューズ部にそれぞれ、セルキャパシタ及びフューズキャパシタを完成する。

【0012】

その後は周知の技術により層間絶縁膜220及び図示せぬ金属配線層等を形成

して図24(a)、(b)の構造を完成する。

#### 【0013】

上記のように、MOS構造を有するアンチフューズは通常、MOSトランジスタと同時に形成され、ゲート電極130とシリコン基板100との間に高電圧を印加し、ゲート絶縁膜120の絶縁破壊を起こして導通状態にすることで不良アドレス情報を書き込む。また、DRAMにおけるアンチフューズは、セルキャパシタと同時に形成され、キャパシタ下部電極190とキャパシタ上部電極210との間に高電圧を印加し、キャパシタ絶縁膜200の絶縁破壊を起こすことで情報を書き込む。これらアンチフューズは、同時に形成されたMOSトランジスタやセルキャパシタ等と同一の特性を有することとなる。しかしながら、MOSトランジスタやセルキャパシタ等と、アンチフューズに求められる特性は当然異なっている。すなわち、MOSトランジスタやセルキャパシタ等には、その信頼性を確保するために高い絶縁破壊耐圧が求められる。一方でアンチフューズには、出来るだけ低電圧でフューズを破壊したいため、逆に低い絶縁破壊耐圧が求められる。

#### 【0014】

従って、上記のようにMOSトランジスタやセルキャパシタと同一の構造のキャパシタをフューズキャパシタとして用いる場合、そのキャパシタ構造には、MOSトランジスタやセルキャパシタとしての性能を最低限保証できる絶縁破壊耐圧と、アンチフューズとしてはなるべく低い電圧で情報を書き込むことの出来る絶縁破壊耐圧とを両立しなければならない。アンチフューズに着目すれば、低電圧で情報を書き込むために絶縁膜の絶縁破壊耐圧を出来るだけ低く設定することが望ましい。しかし、同様の特性を有するMOSトランジスタやセルキャパシタの特性を保証しなければならないため、絶縁破壊耐圧を下げるには限界がある。すなわち、アンチフューズとしての性能に上限と下限が存在することになり、プロセスウィンドウの狭い開発を強いられることになる。

#### 【0015】

また、DRAMの開発初期において、アンチフューズと同時に形成するセルキャパシタはその信頼性を保証する性能に達しておらず、開発が進むにつれて目標

性能に近づいていくこととなる。そのため、アンチフューズの技術開発は、セルキャパシタが本来の性能に達する開発後期になって漸く開始できることとなり、開発期間が長くなる等の問題があった。

## 【0016】

## 【発明が解決しようとする課題】

上記のように従来の半導体装置では、各種のキャパシタを電気的に短絡させるタイプのアンチフューズが用いられている。これらのフューズキャパシタは、例えばMOSトランジスタやセルキャパシタ等の各種素子と同時に形成され、同様の構造、またはその構造の一部により構成されることが通常である。

## 【0017】

しかし、例えばMOSトランジスタやセルキャパシタ等の各種素子にはその信頼性を確保するために高い絶縁破壊耐圧が求められ、逆にアンチフューズ素子として機能するキャパシタには低電圧でキャパシタを短絡させて情報を書き込むために低い絶縁破壊耐圧が求められるという矛盾があった。そのため、キャパシタには上記2つの要求に対する妥協点に相当する絶縁破壊耐圧を持たせることとなり、プロセスウインドウの狭い開発を強いられるという問題があった。また、本来の素子の開発の後にフューズキャパシタの技術開発を開始することになり、開発期間が長くなるという問題があった。

## 【0018】

この発明は、上記事情に鑑みてなされたもので、その目的は、フューズキャパシタの性能を独立に制御することにより、開発期間を短縮化し、高信頼性、高性能の電気フューズ、この電気フューズを備えた半導体装置及びその製造方法を提供することにある。

## 【0019】

## 【課題を解決するための手段】

この発明の請求項1に記載した電気フューズは、対向して設けられた第1、第2の電極と、これら第1、第2の電極間に介在され、少なくとも一部の領域に、イオン注入により不純物が打ち込まれ、あるいはイオン注入された不純物が貫通することにより絶縁破壊耐圧が制御された絶縁膜とを具備し、前記絶縁膜を、絶

縁破壊するか否かに応じて情報が書き込まれることを特徴としている。

【0020】

またこの発明の請求項2に記載した半導体装置は、半導体基板の第1領域上に設けられた第1ゲート絶縁膜と、前記半導体基板における前記第1領域から離隔した第2領域上に設けられ、少なくとも一部の領域に、イオン注入により不純物が打ち込まれることにより、前記第1ゲート絶縁膜より絶縁破壊耐圧が低下された第2ゲート絶縁膜と、前記第1、第2ゲート絶縁膜上にそれぞれ設けられた第1、第2ゲート電極とを具備することを特徴としている。

【0021】

更にこの発明の請求項3に記載した半導体装置は、第1導電型の半導体基板における第1領域上に設けられた第1ゲート絶縁膜と、前記半導体基板の前記第1領域から離隔した第2領域上に設けられ、前記第1ゲート絶縁膜より絶縁破壊耐圧が低い第2ゲート絶縁膜と、前記第1、第2ゲート絶縁膜上にそれぞれ設けられた第1、第2ゲート電極と、前記第2ゲート電極下の前記半導体基板における少なくとも一部の領域中に設けられた第2導電型の不純物拡散層とを具備し、前記不純物拡散層は、第2導電型の不純物を、前記第2ゲート絶縁膜を貫通して前記半導体基板中にイオン注入することにより形成され、前記第2ゲート絶縁膜は、イオン注入された第2導電型の不純物が貫通することにより、絶縁破壊耐圧が制御されることを特徴としている。

【0022】

請求項4に記載したように、請求項3記載の半導体装置において、前記不純物拡散層は、前記第2ゲート電極が存在しない領域まで延設され、この不純物拡散層の延設部と電気的に接続される引き出し電極を更に具備することを特徴としている。

【0023】

請求項5に記載したように、請求項2乃至4いずれか1項記載の半導体装置において、前記第1ゲート絶縁膜及び第1ゲート電極はMOSトランジスタの一部を構成し、前記第2ゲート絶縁膜及び第2ゲート電極は、前記第2ゲート絶縁膜を絶縁破壊するか否かに応じて情報が書き込まれる電気フューズの一部を構成す

ることを特徴としている。

【0024】

この発明の請求項6に記載した電気フューズの製造方法は、第1の電極上に絶縁膜を形成する工程と、前記絶縁膜上に第2の電極を形成する工程と、前記絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込み、あるいはイオン注入した不純物を貫通させ、前記絶縁膜の少なくとも一部の領域の絶縁破壊耐圧を制御する工程とを具備することを特徴としている。

【0025】

またこの発明の請求項7に記載した半導体装置の製造方法は、半導体基板の第1領域上にMOSトランジスタを形成するとともに、このMOSトランジスタの形成工程の一部を利用して第2領域上に電気フューズを形成する半導体装置の製造方法であって、前記半導体基板の第1、第2領域上にそれぞれ第1、第2ゲート絶縁膜を形成する第1の工程と、前記第1、第2ゲート絶縁膜上にそれぞれ第1、第2ゲート電極層を形成する第2の工程と、前記第2ゲート電極層を貫通して、前記第2ゲート絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込む第3の工程とを具備することを特徴としている。

【0026】

更にこの発明の請求項8に記載した半導体装置の製造方法は、第1導電型の半導体基板における第1領域上にMOSトランジスタを形成するとともに、このMOSトランジスタの形成工程の一部を利用して第2領域上に電気フューズを形成する半導体装置の製造方法であって、前記半導体基板の第1、第2領域上にそれぞれ第1、第2ゲート絶縁膜を形成する第1の工程と、前記第1、第2ゲート絶縁膜上にそれぞれ第1、第2ゲート電極層を形成する第2の工程と、前記第2ゲート電極層及び前記第2ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第2導電型の不純物を打ち込む第3の工程とを具備することを特徴としている。

【0027】

請求項9に記載したように、請求項7または8記載の半導体装置の製造方法において、前記第3の工程の後に、前記第1、第2のゲート電極層上に、それぞれ

第3、第4のゲート電極層を形成する第4の工程と、前記第1乃至第4のゲート電極層をパターニングする第5の工程とを更に具備することを特徴としている。

## 【0028】

請求項10に記載したように、請求項7記載の半導体装置の製造方法において、前記第2の工程の後に、前記第1、第2のゲート電極層上に、それぞれ第3、第4のゲート電極層を形成する第4の工程と、前記第1乃至第4のゲート電極層をパターニングする第5の工程とを更に具備することを特徴としている。

## 【0029】

請求項11に記載したように、請求項8記載の半導体装置の製造方法において、前記第2の工程の後に、前記第1、第2のゲート電極層上に、それぞれ第3、第4のゲート電極層を形成する第4の工程と、前記第1乃至第4のゲート電極層をパターニングする第5の工程とを更に具備し、前記第3の工程は、パターニングされた前記第3ゲート電極層、前記第2ゲート電極層及び前記第2ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第2導電型の不純物を打ち込むものであることを特徴としている。

## 【0030】

請求項12に記載したように、請求項9記載の半導体装置の製造方法において、前記第5の工程は、前記半導体基板における前記不純物が打ち込まれた領域の少なくとも一部を露出させる工程と、露出された前記不純物の打ち込まれた領域の前記半導体基板に電気的に接続される引き出し電極を形成する工程とを含むことを特徴としている。

## 【0031】

請求項13に記載したように、請求項10または11記載の半導体装置の製造方法において、前記第3の工程は、前記第2、第4ゲート電極層がパターニングされて露出された領域の前記半導体基板中へ第2導電型の不純物を打ち込む工程と、露出された前記不純物の打ち込まれた領域の前記半導体基板に電気的に接続される引き出し電極を形成する工程とを含むことを特徴としている。

## 【0032】

請求項1、6のような構成及び製造方法によれば、2つの電極間に絶縁膜を介

在させたキャパシタ構造の電気フューズにおいて、絶縁膜中に不純物をイオン注入により打ち込んでいる、または絶縁膜中を貫通させている。このように、絶縁膜内に不純物を打ち込むことや、絶縁膜内に不純物を通過させることにより、絶縁膜の耐圧を制御できる。電気フューズ、特にアンチフューズはキャパシタ構造におけるキャパシタ絶縁膜を絶縁破壊させて情報を書き込むものである。すなわち、この発明の請求項1、6によれば、イオン注入により絶縁膜内に不純物を打ち込むことや、絶縁膜内に不純物を通過させることにより、絶縁膜の耐圧を低下させ、アンチフューズへの書き込み電圧を低減出来る。このように、アンチフューズの特性を独立に制御できるため、MOSトランジスタの開発の進展を待つことなくアンチフューズの開発を始めることが出来るので、従来に比べて開発期間を短縮でき、更に電気フューズ及び半導体装置の信頼性、性能を向上できる。

## 【0033】

請求項2、5、7のように、MOSトランジスタのMOS構造を流用してアンチフューズを形成する場合においても、イオン注入によりアンチフューズ部のゲート絶縁膜内に不純物を打ち込み、または不純物を通過させることによりゲート絶縁膜の絶縁破壊耐圧を制御して、アンチフューズへの書き込み電圧を低減できる。このように、アンチフューズ部のゲート絶縁膜の特性をMOSトランジスタのゲート絶縁膜とは独立に制御できるため、MOSトランジスタの開発の進展を待つことなくアンチフューズの開発を始めることが出来るので、従来に比べて開発期間を短縮でき、更に電気フューズ及び半導体装置の信頼性、性能を向上できる。

## 【0034】

請求項3、5、8のように、MOSトランジスタのMOS構造を流用してアンチフューズを形成する場合において、イオン注入によりアンチフューズ部のゲート絶縁膜内を貫通させて不純物を半導体基板内に打ち込むことにより、ゲート絶縁膜の絶縁破壊耐圧を制御して、アンチフューズへの書き込み電圧を低減できる。また半導体基板内に不純物を打ち込むことで不純物拡散層を形成しており、この不純物拡散層がフューズキャパシタの一方の電極となるため、電気フューズのサイズを小型に出来る。このように、アンチフューズ部のゲート絶縁膜の特性を

MOSトランジスタのゲート絶縁膜とは独立に制御できるため、MOSトランジスタの開発の進展を待つことなくアンチフューズの開発を始めることが出来るので、従来に比べ、開発期間を短縮でき、更に電気フューズ及び半導体装置の信頼性、性能を向上しつつ、大規模集積化に適した電気フューズを実現できる。

## 【0035】

請求項9乃至11のように、例えば多結晶シリコンとタンゲステン等からなる多層ゲート構造のMOS構造においても、本発明の構成及び方法が適用できる。

## 【0036】

請求項4、12、13のように、半導体基板内ヘイオン注入により不純物が打ち込まれた領域に形成された不純物拡散層と電気的に接続する引き出し電極を形成することによって、フューズキャパシタのサイズを小さくできる。そのため、この構造は大規模集積化の進む半導体装置に最適と言える。

## 【0037】

## 【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

## 【0038】

この発明の第1の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてMOSトランジスタの一部を用いたアンチフューズを例に挙げて説明する。図1(a)、(b)乃至図3(a)、(b)はそれぞれMOSトランジスタの製造工程の断面図を順次示しており、(a)図はMOSトランジスタを形成する回路部、(b)図は周辺回路部のうちアンチフューズ部を示している。

## 【0039】

まず図1(a)、(b)に示すように、周知の技術によりシリコン基板10に素子分離領域11を、例えばSTI(Shallow Trench Isolation)技術により形成した後、シリコン基板10上に例えばドライ酸化法等によりゲート絶縁膜12aを形成する。引き続き、ゲート電極の一部となる多結晶シリコン膜13aをCVD(Chemical Vapor Deposition)法等により形成する。そして、多結晶シリ

コン膜13aに、nチャネル、pチャネルMOSトランジスタに応じた不純物を導入する。

## 【0040】

次に全面にレジスト30-1を塗布し、リソグラフィ技術によりレジスト30-1をパターニングしてアンチフューズ部のみを露出させる。そして図2(a)、(b)に示すように、例えば砒素、リン、またはボロン等の不純物を、 $10^3 \sim 10^{15} \text{ cm}^{-3}$ オーダーのドーズ量でイオン注入する。この際のイオン注入は、多結晶シリコン膜13aを貫通してゲート絶縁膜12aに打ち込まれるように加速電圧を調整する。この工程によりアンチフューズ部ではイオンが打ち込まれたゲート絶縁膜12bが形成される。なお、ゲート絶縁膜12aに打ち込む不純物はゲート絶縁膜12aの絶縁破壊耐圧を劣化させることのできる元素であれば特に限られるものではない。

## 【0041】

次にレジスト30-1を剥離し、多結晶シリコン膜13a上にゲート電極の一部となるタンゲステン膜13bを、例えばCVD法やスパッタリング法等により形成する。そしてリソグラフィ技術とエッチングにより、多結晶シリコン膜13a及びタンゲステン膜13bとをパターニングして図3(a)、(b)に示すようなゲート電極13を形成する。

## 【0042】

その後は周知の技術によりMOSトランジスタの不純物拡散層及び層間絶縁膜などを形成して半導体装置を完成する。

## 【0043】

上記のような構造及び製造方法によれば、アンチフューズ部に形成したフューズキャパシタのキャパシタ絶縁膜となるゲート絶縁膜に不純物をイオン注入することにより、回路部のMOSトランジスタのゲート絶縁膜に比べて絶縁破壊耐圧の低いゲート絶縁膜を形成でき、アンチフューズの書き込み電圧を低減できる。また、絶縁破壊耐圧の低下の度合いはイオン注入時のイオン種、加速電圧、またはドーズ量等により制御が可能である。そのため、MOSトランジスタに求められる高い絶縁破壊耐圧と、フューズキャパシタに求められる低い絶縁破壊耐圧と

を両立できるので、半導体装置の信頼性及び性能を向上出来る。更に、フューズキャパシタの性能をイオン注入条件によりMOSトランジスタとは独立に制御できるので、MOSトランジスタの開発の進展を待つことなくアンチフューズの開発が進められ、開発期間の短縮を図ることが出来る。

## 【0044】

次にこの発明の第2の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてMOSトランジスタの一部を用いたアンチフューズを例に挙げて説明する。図4 (a)、(b) 乃至図6 (a)、(b) はそれぞれMOSトランジスタの製造工程の断面図を順次示しており、(a) 図はMOSトランジスタを形成する回路部、(b) 図は周辺回路部のうちアンチフューズ部を示している。

## 【0045】

まず図4 (a)、(b) に示すように、p型シリコン基板10に素子分離領域11を形成した後、シリコン基板10上にゲート絶縁膜12aを介してゲート電極の一部となる多結晶シリコン膜13a及びタンゲステン膜13bを形成する。そして、リソグラフィ技術とエッティングにより多結晶シリコン膜13a、タンゲステン膜13bとをパターニングしてゲート電極13を形成する。なお、アンチフューズ部においては、ゲート電極13が素子領域を全て覆わずに、素子領域表面の一部が露出するよう予めずらしてゲート電極13を配置する。

## 【0046】

次に全面にレジスト30-2を塗布し、リソグラフィ技術によりレジスト30-2をパターニングしてアンチフューズ部のみを露出させる。そして図5 (a)、(b) に示すように、n型不純物をイオン注入する。この際、イオン注入はタンゲステン膜13b及び多結晶シリコン膜13aを貫通し、ゲート絶縁膜12a及びシリコン基板10中に打ち込まれるように加速電圧を調整する。この工程によりアンチフューズ部では、イオンが打ち込まれたゲート絶縁膜12bが形成され、またシリコン基板10中にはn型不純物拡散層31が形成される。なお、前述のように、アンチフューズ部におけるゲート電極13は素子領域に対してずれて配置されている。そのためゲート電極13直下の領域では、ゲート電極13の

存在しない領域に形成される不純物拡散層31aに比べ、イオンがゲート電極13を貫通する分だけ浅い不純物拡散層31bが形成される。

#### 【0047】

その後は図6(a)、(b)に示すように、周知の技術によりMOSトランジスタのソース、ドレイン領域となる不純物拡散層(図示せず)及び層間絶縁膜32を形成する。そして、アンチフューズ部の深い不純物拡散層31aに接続するコンタクトホール33を形成し、このコンタクトホール33を埋め込む金属配線層34を形成してアンチフューズを完成する。

#### 【0048】

上記のような構成及び製造方法によれば、ゲート絶縁膜にシリコン基板10と逆導電型の不純物を導入してゲート絶縁膜の絶縁破壊耐圧を低下させると共に、シリコン基板中にもその不純物を導入して下部電極となる不純物拡散層を形成している。そのため、第1の実施形態で説明した効果に加えて、電気フューズのサイズを非常に小さくできるので、微細化、大規模集積化の進んだ集積回路に適した電気フューズを実現できる。

#### 【0049】

次にこの発明の第3の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてMOSトランジスタの一部を用いたアンチフューズを例に挙げて説明する。図7及び図8はそれぞれMOSトランジスタの一部を用いたアンチフューズの製造工程の断面図を順次示している。MOSトランジスタの形成予定領域については説明の簡単化のために省略する。

#### 【0050】

まず周知の技術により、第2の実施形態で説明した図4(a)、(b)の構造を形成する。やはり、アンチフューズ部においては、ゲート電極13が素子領域を全て覆わないよう、予めずらして配置する。

#### 【0051】

次に全面にレジスト30-3を塗布し、リソグラフィ技術によりレジスト30-3をパターニングしてアンチフューズ部のみを露出させる。そして図7に示すように、イオンがゲート電極13を貫通しない程度に加速電圧を調整して、n型

不純物をイオン注入する。この際角度をつけてイオン注入を行うことにより、ゲート電極13を設けない領域及びゲート電極13のエッジのゲート絶縁膜12a、p型シリコン基板10にイオンを打ち込む。従って、図7に示すように、ゲート電極13のエッジ部分直下のゲート絶縁膜12aが、絶縁破壊耐圧の劣化したゲート絶縁膜12bとなり、またシリコン基板10のゲート電極13のエッジ部分直下まで潜り込むようにして不純物拡散層31が形成される。

## 【0052】

その後は図8に示すように、周知の技術により層間絶縁膜32を形成する。そして、アンチフューズ部の不純物拡散層31に接続するコンタクトホール33を形成し、このコンタクトホール33を埋め込む金属配線層34を形成してアンチフューズを完成する。

## 【0053】

上記のような構成及び製造方法によれば、ゲート絶縁膜にシリコン基板と逆導電型の不純物をイオン注入してゲート絶縁膜の絶縁破壊耐圧を低下させると共に、シリコン基板中にもその不純物をイオン注入して下部電極となる不純物拡散層を形成している。また、イオン注入は斜め方向から行い、且つイオンがゲート電極を通過しない条件で行うことにより、ゲート電極エッジのゲート絶縁膜を劣化させている。通常、ゲート電極エッジでは電界の集中が起きる。そのため、ゲート電極中央部直下のゲート絶縁膜に比べ、ゲート電極エッジ直下のゲート絶縁膜の絶縁破壊耐圧は悪い。そのため、第2の実施形態のようにゲート絶縁膜の全領域に不純物をイオン注入すると、その絶縁破壊耐圧の制御が比較的困難となる。すなわち、ゲート電極エッジではあまり絶縁破壊耐圧が悪くなりすぎないように、逆にゲート電極中央部では良くなりすぎないように、というように2つの領域を加味して特性を制御する必要があった。しかし、本実施形態によれば、ゲート電極エッジのゲート絶縁膜を劣化させているため、その特性の制御はゲート電極エッジについてのみ着目して行うことが出来る。そのため、第2の実施形態で説明した効果に加えて、イオン注入条件の最適化が容易となり、半導体装置の製造コストを削減できる。

## 【0054】

次にこの発明の第4の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてMOSトランジスタの一部を用いたアンチフューズを例に挙げて説明する。図9及び図10はそれぞれMOSトランジスタの一部を用いたアンチフューズの製造工程の断面図を順次示している。

## 【0055】

まず周知の技術により、第1の実施形態で説明した図1(a)、(b)の構造を形成する。そして、全面にレジスト30-4を塗布し、リソグラフィ技術によりレジスト30-4をパターニングしてアンチフューズ部のみを露出させる。

## 【0056】

次に図9に示すように、シリコン基板と逆導電型の不純物をイオン注入する。このイオン注入の際には、不純物が多結晶シリコン膜13aを貫通し、ゲート絶縁膜12a及びシリコン基板10中に打ち込まれるように加速電圧を調整する。この工程によりアンチフューズ部ではイオンが打ち込まれたゲート絶縁膜12b及び不純物拡散層31が図示するように形成される。

## 【0057】

次にレジスト30-4を剥離し、多結晶シリコン膜13a上にゲート電極の一部となるタンゲステン膜13bを形成する。そしてリソグラフィ技術とエッティングにより、多結晶シリコン膜13a及びタンゲステン膜13bとをパターニングして図10に示すようなゲート電極13を形成する。すなわち、ゲート電極13が素子領域を全て覆わないよう加工される。その後は周知の技術によりMOSトランジスタの不純物拡散層及び層間絶縁膜32を形成する。そして、不純物拡散層31に接続するコンタクトホール33を形成し、このコンタクトホール33を埋め込む金属配線層34を形成してアンチフューズを完成する。

## 【0058】

上記のような構成及び製造方法によれば、上記第1、第2の実施形態の利点を兼ね備えた半導体装置を実現できる。すなわち、ゲート絶縁膜に不純物を導入してゲート絶縁膜の絶縁破壊耐圧を低下させると共に、シリコン基板中にも逆導電型の不純物を導入して下部電極となる不純物拡散層を形成している。そのため、電気フューズの書き込み電圧を低減しつつ、サイズを非常に小さくできるので、

微細化、大規模集積化の進んだ集積回路に適した電気フューズを実現できる。また、イオン注入は、タンクステン膜13bを通過させる必要がないため、イオン注入条件、すなわちイオン種、加速電圧、ドーズ量等の設定が簡単に出来、製造コストを削減できる。

#### 【0059】

次に、この発明の第5の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてDRAMのセルキャパシタを利用したアンチフューズを例に挙げて説明する。図11(a)、(b)乃至図14(a)、(b)は両面シリンドラ型のスタック・キャパシタを有するDRAMの製造工程の断面図を順次示しており、(a)図はメモリセルアレイ部、(b)図は周辺回路部のうちのアンチフューズ部である。

#### 【0060】

まず図11(a)、(b)に示すように、周知の技術によりシリコン基板10に素子分離領域11を形成する。そして全面にゲート絶縁膜12を形成し、メモリセルアレイ部では更にゲート電極(ワード線)13を形成する。引き続き、隣接するゲート電極13間のシリコン基板10中に、ソース、ドレイン領域となる不純物拡散層14を形成してセルトランジスタを完成する。また、アンチフューズ部においても、フューズキャパシタと接続する拡散層14を形成する。

#### 【0061】

次に全面に層間絶縁膜15を形成する。層間絶縁膜15の材料には、段差被覆性の高いBPSG (Boron Phosphorous Silicate Glass) 膜やTEOS (tetraethylorthosilicate;  $Si(OCH_3)_4$ ) により形成したシリコン酸化膜が用いられる。この層間絶縁膜15内に、セルトランジスタのドレイン領域に接続するビット線17を形成し、更に層間絶縁膜16を堆積形成する。

#### 【0062】

次に図12(a)、(b)に示すように、セルトランジスタのソース領域及びアンチフューズ部の不純物拡散層14と接続するコンタクトプラグ18を形成し、このコンタクトプラグ18に接続するように、両面シリンドラ型のキャパシタ下部電極19を形成する。引き続きキャパシタ絶縁膜20a、キャパシタ上部電極

21を順次形成し、所望の配線パターンにパターニングすることによりメモリセルアレイ部、アンチフューズ部にそれぞれ、セルキャパシタ及びフューズキャパシタを完成する。

#### 【0063】

次に全面にレジスト30-5を塗布し、リソグラフィ技術により、アンチフューズ部のレジスト30-5を除去する。そして、図13(a)、(b)に示すようにレジスト30-5をマスクに用いて不純物のイオン注入を行う。この際、イオン注入は斜め方向から行い、キャパシタ上部電極21を貫通してキャパシタ絶縁膜20aに打ち込まれるように加速電圧を調整する。この工程により、アンチフューズ部では不純物の導入されたキャパシタ絶縁膜20bが形成される。なお、ゲート絶縁膜12aに打ち込む不純物はゲート絶縁膜12aの絶縁破壊耐圧を低下させることのできる元素であれば特に限られるものではない。また、本実施形態では斜め方向からイオン注入を行っているが、不純物がキャパシタ絶縁膜20aの少なくとも一部に打ち込まれればよいので、イオン注入の注入方向はどの角度から行ってもかまわない。

#### 【0064】

その後はレジスト30-5をアッシング等により剥離した後、周知の技術により、層間絶縁膜22を形成し、キャパシタ上部電極21にコンタクトプラグ23を介して接続する金属配線層24を形成する。そして、更に層間絶縁膜25を形成して、図14(a)、(b)に示すような構造のDRAMを完成する。

#### 【0065】

そして図15(a)に示すように、上記DRAMのメモリセルアレイのワード線はロウデコーダに接続されて選択的に駆動され、ビット線はセンスアンプに接続されている。また、チップ上の別の領域には不良メモリセルを置き換えるための冗長回路が配置されている。この冗長回路は図15(b)に示すように、レーザフューズ及び電気フューズからなる各種フューズ群と、各フューズに各自接続された制御回路と、それらの制御回路を切り替えるスイッチ回路とを有しており、スイッチ回路の出力はメモリセルアレイ内に設けられたスペアのメモリセルに接続するスペアワード線となっている。制御回路は例えば不良アドレスレジ

スタであり、不良アドレスに応じた情報が各種フューズに書き込まれている。そして、不良アドレスへアクセスがなされた場合、スイッチ回路により不良アドレスに応じたスペアワード線が選択される。

## 【0066】

上記のような構成及び製造方法によるDRAMによれば、アンチフューズ部に形成したフューズキャパシタのキャパシタ絶縁膜にイオンを注入することにより、フューズキャパシタの絶縁破壊耐圧をメモリセルアレイ部のセルキャパシタに比べて絶縁破壊耐圧を低下させることができ、より低電圧での書き込みが可能となる。また、絶縁破壊耐圧の低下の度合いはイオン注入時のイオン種、加速電圧、またはドーズ量等により制御が可能である。そのため、本来のキャパシタ素子に求められる高い絶縁破壊耐圧と、フューズキャパシタに求められる低い絶縁破壊耐圧とを両立できるので、DRAMの信頼性及び性能を向上出来る。更に、フューズキャパシタの性能をイオン注入条件により制御できる、すなわちフューズキャパシタの性能をセルキャパシタに対して独立に制御できるので、セルキャパシタの特性決定を待たずにフューズキャパシタの開発を開始でき、開発期間の短縮を図ることが出来る。

## 【0067】

上記第1乃至第5の実施形態によれば、電気フューズを構成する絶縁膜中に不純物をイオン注入することにより、電気フューズのみの絶縁破壊耐圧を低下させ、且つその特性を自在に設定できる。絶縁膜中にイオン注入する不純物は、通常、シリコンデバイスにおいて広く用いられている砒素、リン、及びボロン等を用いることが、イオン注入条件設定などの面から好ましいが、勿論、他にシリコンやアルゴン等、絶縁破壊耐圧を劣化させることのできる元素であれば特に限られるものではない。そのため、電気フューズの特性をその他の素子に対して独立に制御でき、その制御回路の設計の最適化が容易となり、半導体装置の性能向上及び開発期間の短縮化を図ることが出来る。また、第1乃至第4の実施形態では、ゲート絶縁膜を劣化させるイオン注入と同時に形成した不純物拡散層を電気フューズの電極として用いることにより、その占有面積を低減でき、集積回路の微細化、大規模集積化に寄与できる。

## 【0068】

なお、上記第1乃至第5の実施形態では、フューズキャパシタのキャパシタ絶縁膜内に不純物をイオン注入している。しかし、不純物をキャパシタ絶縁膜内を通過させることによってもキャパシタ絶縁膜を劣化させることができる。すなわち、第2乃至第4の実施例においては、ゲート絶縁膜12a内に不純物が打ち込まれるようにイオン注入を行うのではなく、ゲート絶縁膜12aを通過してシリコン基板10内にのみ不純物が打ち込まれるようにイオン注入を行っても良い。この方法によっても、絶縁破壊耐圧の劣化したゲート絶縁膜12bを形成できる。

## 【0069】

また、上記実施形態においては、DRAMにおけるセルキャパシタ及びMOSトランジスタの一部を用いた電気フューズを例に挙げて説明したが、この発明の主旨は、アンチフューズの絶縁膜に不純物を導入することにより、その絶縁破壊耐圧を制御することにあり、上記構造のアンチフューズに限られるものではない。

## 【0070】

図16は層間絶縁膜を用いたアンチフューズの例である。図示するように、シリコン基板10上に、ゲート電極13となる多結晶シリコン膜13a及びタンゲステン膜13bがゲート絶縁膜（図示せず）を介して設けられている。そして全面を層間絶縁膜32が覆っており、この層間絶縁膜32上にバリアメタル層34a及び金属層34bからなる金属配線層34が設けられている。この構造は、ゲート電極13、層間絶縁膜32、金属配線層34をそれぞれ下部電極、キャパシタ絶縁膜、上部電極とするフューズキャパシタとなっている。そして、キャパシタ絶縁膜となる層間絶縁膜32に不純物をイオン注入することにより、その絶縁破壊耐圧を制御できる。

## 【0071】

図17は、ゲート側壁絶縁膜を用いたアンチフューズの例である。図示するように、シリコン基板10上に、ゲート絶縁膜12aを介してゲート電極13が設けられている。そしてこのゲート電極13を被覆するようにしてゲート側壁絶縁

膜35が設けられ、更にゲート側壁絶縁膜35に隣接するようにして金属配線層36が設けられている。この構造は、ゲート電極13、金属配線層36を電極に、ゲート側壁絶縁膜35をキャパシタ絶縁膜とするフューズキャパシタを構成している。そして、キャパシタ絶縁膜となるゲート側壁絶縁膜35に不純物をイオン注入することにより、その絶縁破壊耐圧を制御できる。

#### 【0072】

更に図18は、金属配線間の絶縁膜を用いたアンチフューズの例である。図示するように、層間絶縁膜には2本の金属配線層37、37が形成されており、この金属配線層37が電極に、2本の金属配線層37間の層間絶縁膜32がキャパシタ絶縁膜となるフューズキャパシタとなっている。この2本の金属配線層37間の層間絶縁膜32に不純物をイオン注入することにより、アンチフューズの絶縁破壊耐圧を制御できる。

#### 【0073】

この発明は上記実施形態に限定されるものではなく、様々な構造のアンチフューズに適用でき、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出される。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

#### 【0074】

##### 【発明の効果】

以上説明したように、この発明によれば、フューズキャパシタの性能を独立に制御することにより、開発期間を短縮化し、高信頼性、高性能の電気フューズ、この電気フューズを備えた半導体装置及びその製造方法を提供できる。

##### 【図面の簡単な説明】

##### 【図1】

この発明の第1の実施形態に係るMOSトランジスタの第1の製造工程の断面

図であり、(a)図は回路部、(b)図はアンチフューズ部。

【図2】

この発明の第1の実施形態に係るMOSトランジスタの第2の製造工程の断面図であり、(a)図は回路部、(b)図はアンチフューズ部。

【図3】

この発明の第1の実施形態に係るMOSトランジスタの第3の製造工程の断面図であり、(a)図は回路部、(b)図はアンチフューズ部。

【図4】

この発明の第2の実施形態に係るMOSトランジスタの第1の製造工程の断面図であり、(a)図は回路部、(b)図はアンチフューズ部。

【図5】

この発明の第2の実施形態に係るMOSトランジスタの第2の製造工程の断面図であり、(a)図は回路部、(b)図はアンチフューズ部。

【図6】

この発明の第2の実施形態に係るMOSトランジスタの第3の製造工程の断面図であり、(a)図は回路部、(b)図はアンチフューズ部。

【図7】

この発明の第3の実施形態に係るアンチフューズの第1の製造工程の断面図。

【図8】

この発明の第3の実施形態に係るアンチフューズの第2の製造工程の断面図。

【図9】

この発明の第4の実施形態に係るアンチフューズの第1の製造工程の断面図。

【図10】

この発明の第4の実施形態に係るアンチフューズの第2の製造工程の断面図。

【図11】

この発明の第5の実施形態に係るDRAMの第1の製造工程の断面図であり、

(a)図はメモリセルアレイ部、(b)図はアンチフューズ部。

【図12】

この発明の第5の実施形態に係るDRAMの第2の製造工程の断面図であり、

(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図13】

この発明の第5の実施形態に係るDRAMの第3の製造工程の断面図であり、

(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図14】

この発明の第5の実施形態に係るDRAMの第4の製造工程の断面図であり、

(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図15】

この発明の第5の実施形態に係るDRAMのブロック図であり、(a) 図はメモリセルアレイ周辺の冗長回路を含めたブロック図、(b) 図は冗長回路内のブロック図。

【図16】

この発明の実施形態の第1の変形例でアンチフューズの断面図。

【図17】

この発明の実施形態の第2の変形例でアンチフューズの断面図。

【図18】

この発明の実施形態の第3の変形例でアンチフューズの断面図。

【図19】

従来のMOS構造のアンチフューズの第1の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図20】

従来のMOS構造のアンチフューズの第2の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図21】

従来のMOS構造のアンチフューズの第3の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図22】

従来のDRAMの第1の製造工程の断面図であり、(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図23】

従来のDRAMの第2の製造工程の断面図であり、(a)図はメモリセルアレイ部、(b)図はアンチフューズ部。

【図24】

従来のDRAMの第3の製造工程の断面図であり、(a)図はメモリセルアレイ部、(b)図はアンチフューズ部。

【符号の説明】

10、100…シリコン基板

11、110…素子分離領域

12、12a、12b、120…ゲート絶縁膜

13、130…ゲート電極

13a、130a…多結晶シリコン膜

13b、130b…タンゲステン膜

14、31、31a、31b、140…不純物拡散層

15、16、22、25、32、150、160、220…層間絶縁膜

17、24、170…配線

18、180…コンタクトプラグ

19、190…キャパシタ下部電極

20a、20b、200…キャパシタ絶縁膜

21、210…キャパシタ上部電極

23、33…コンタクトホール

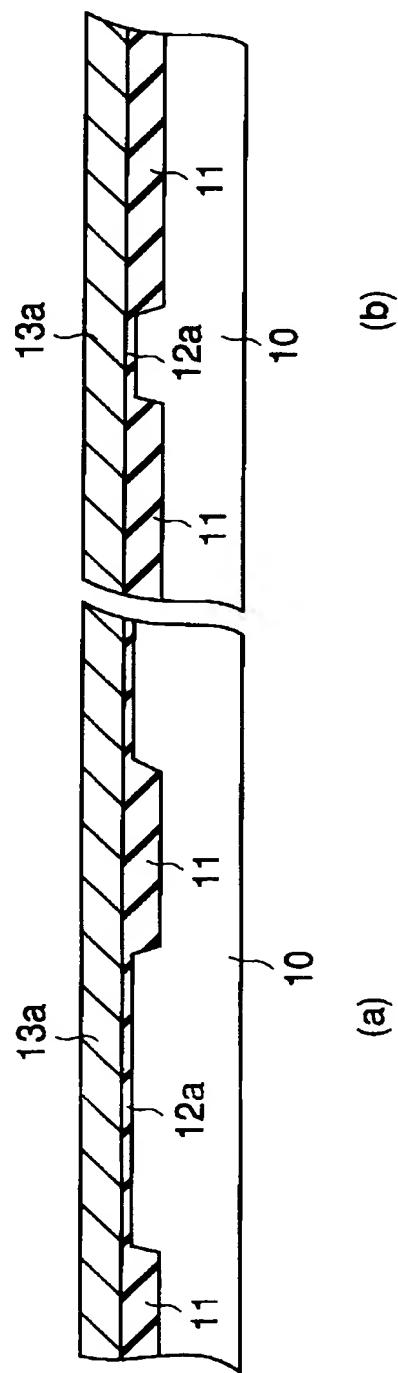
30-1~5…レジスト

34、36、37…金属配線層

35…シリコン窒化膜

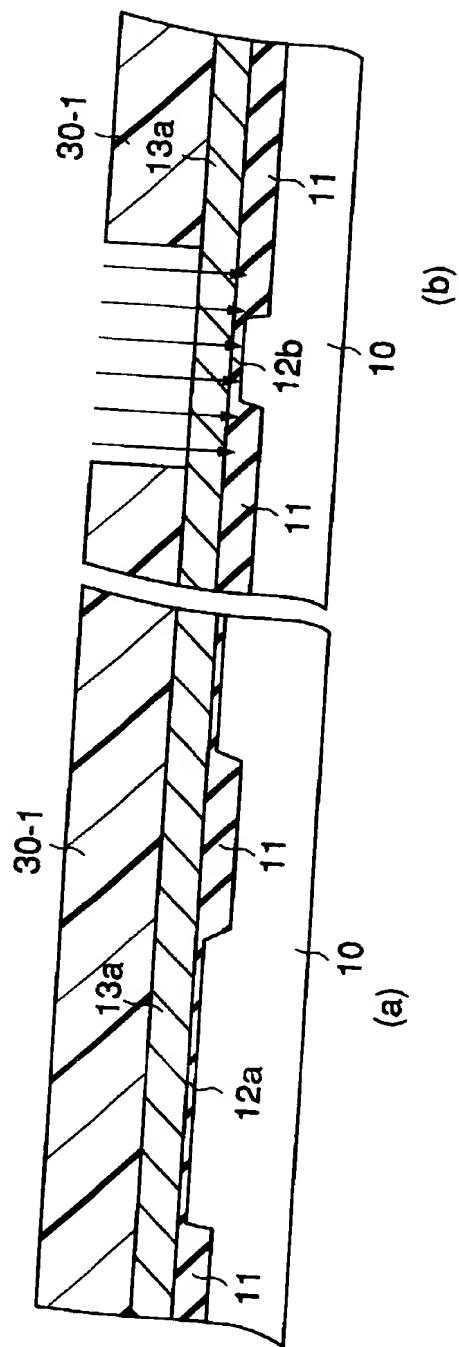
【書類名】 図面

【図1】

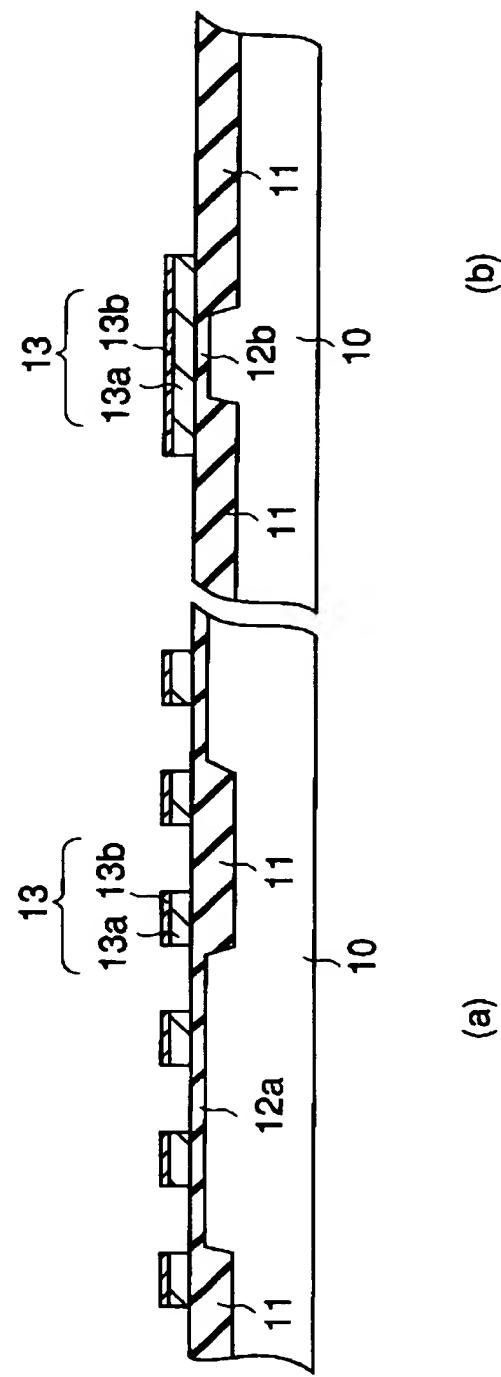


特2000-194742

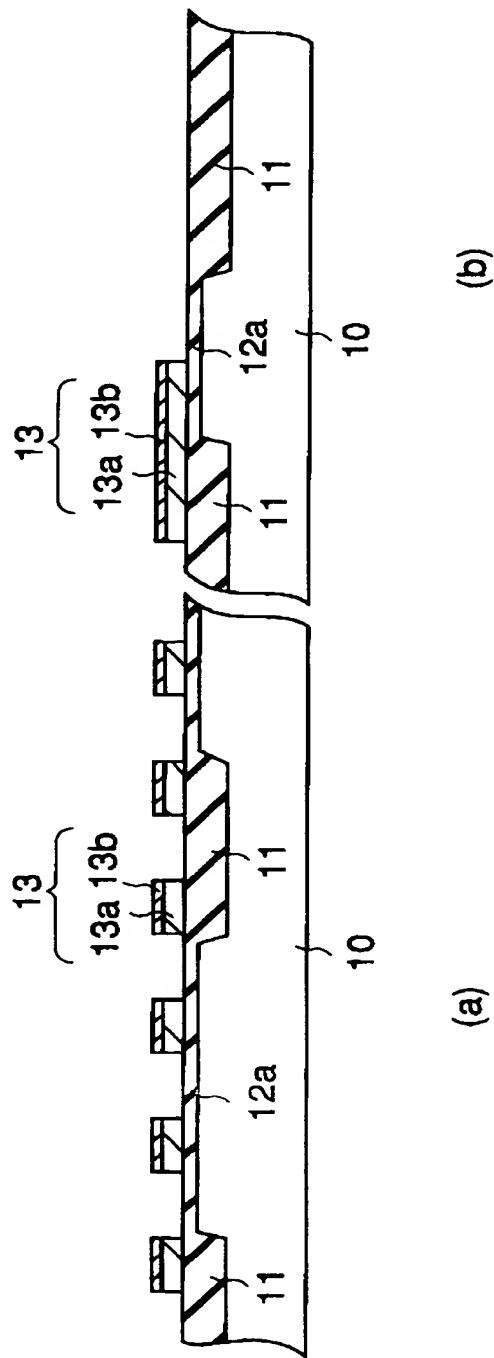
【図2】



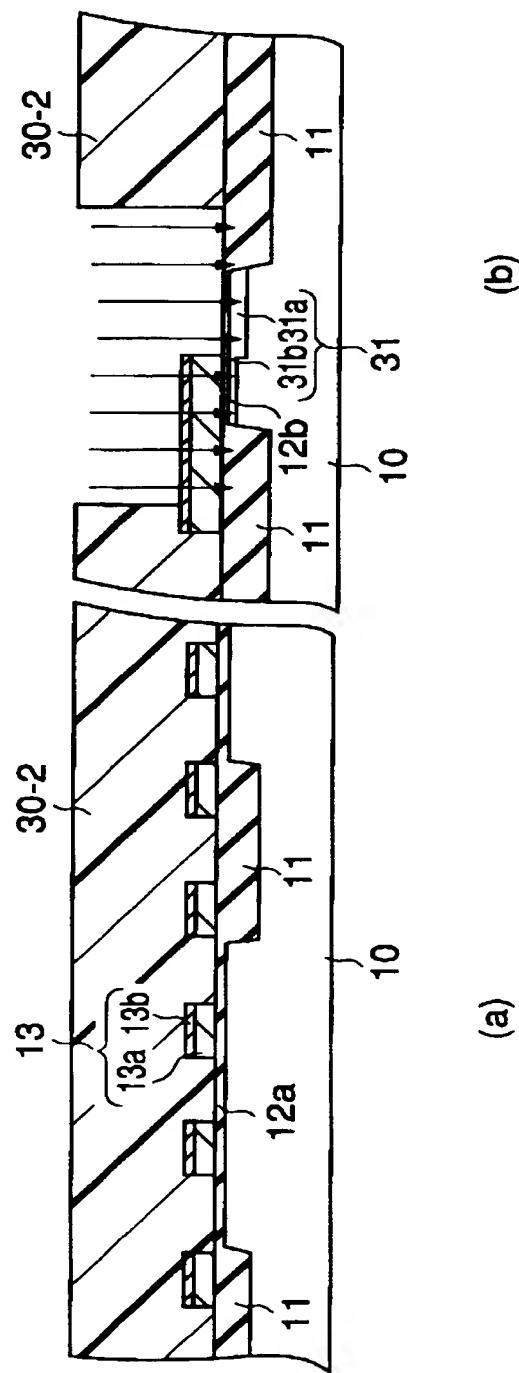
【図3】



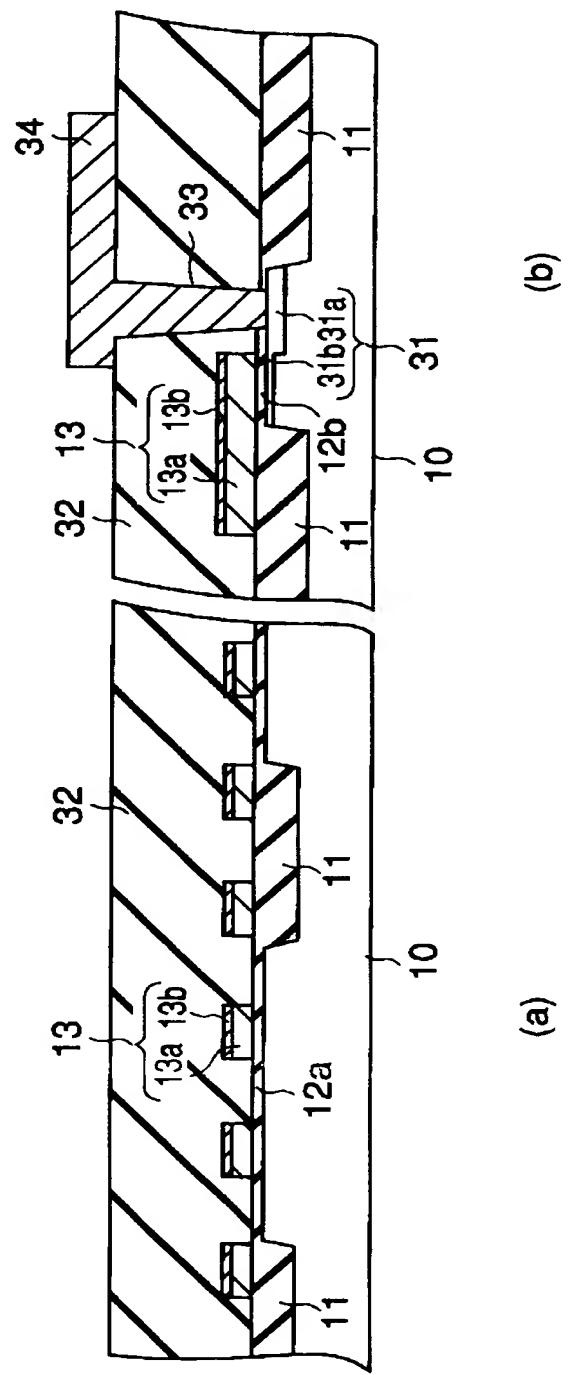
【図4】



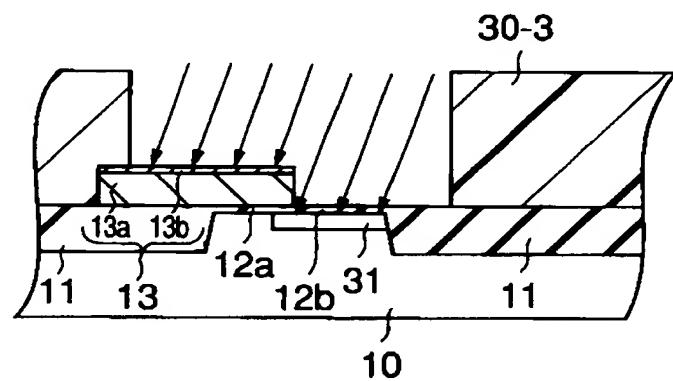
【図5】



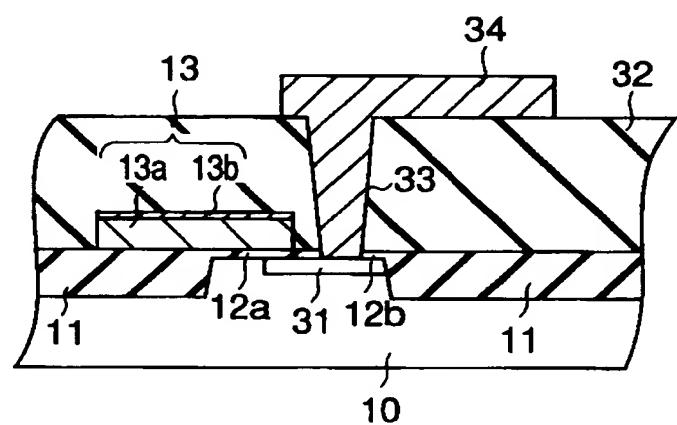
【図6】



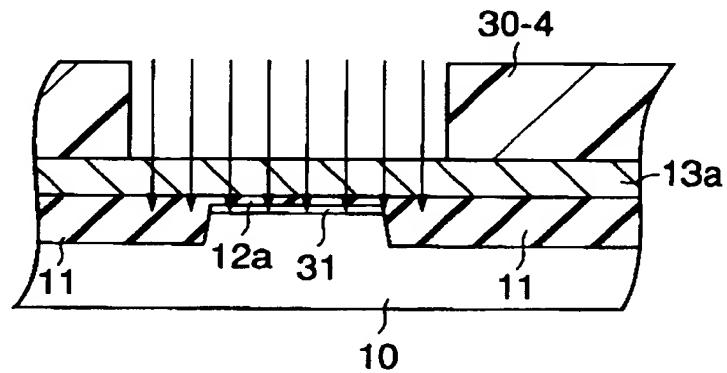
【図7】



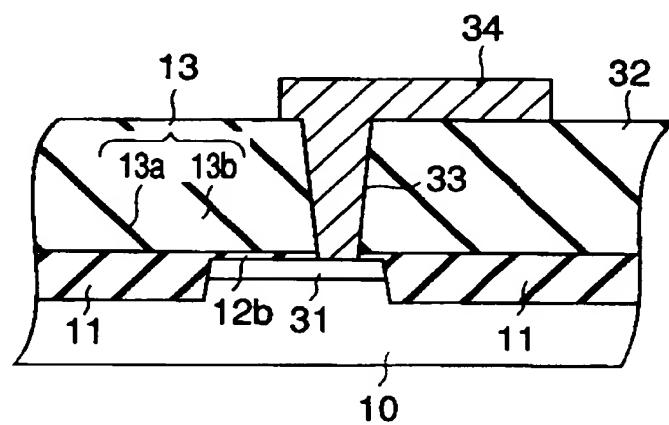
【図8】



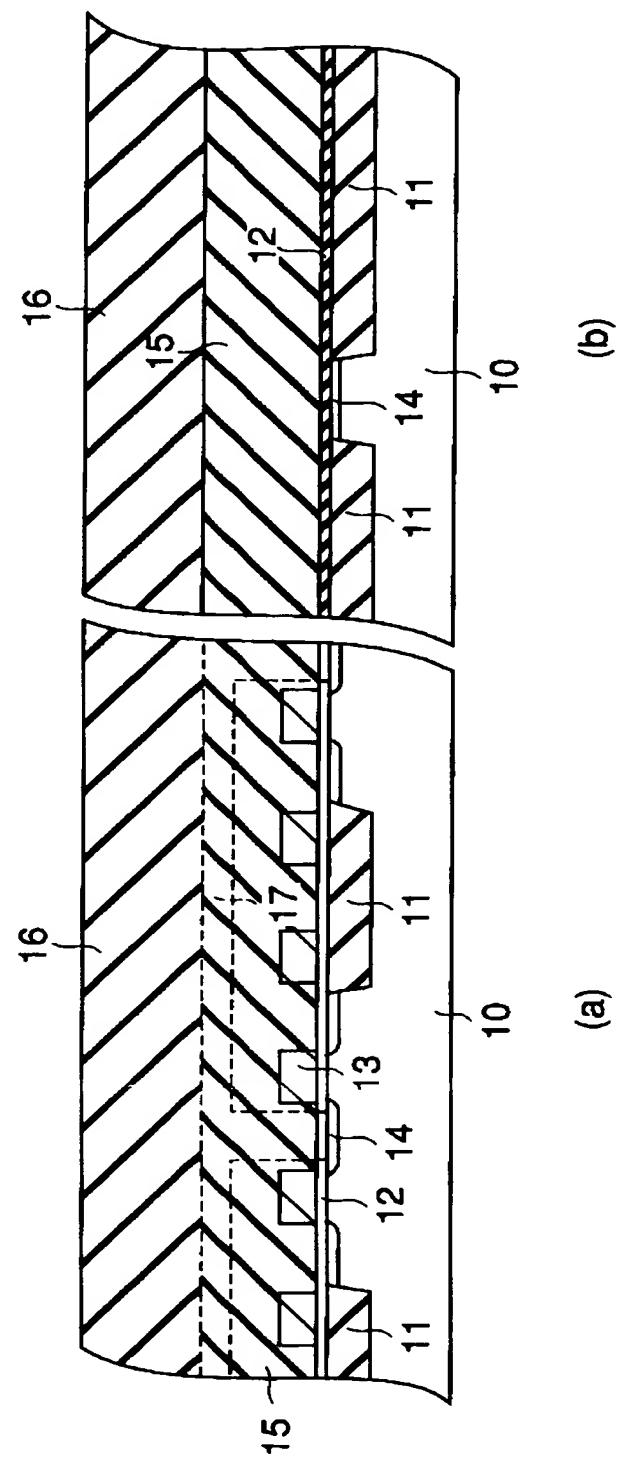
【図9】



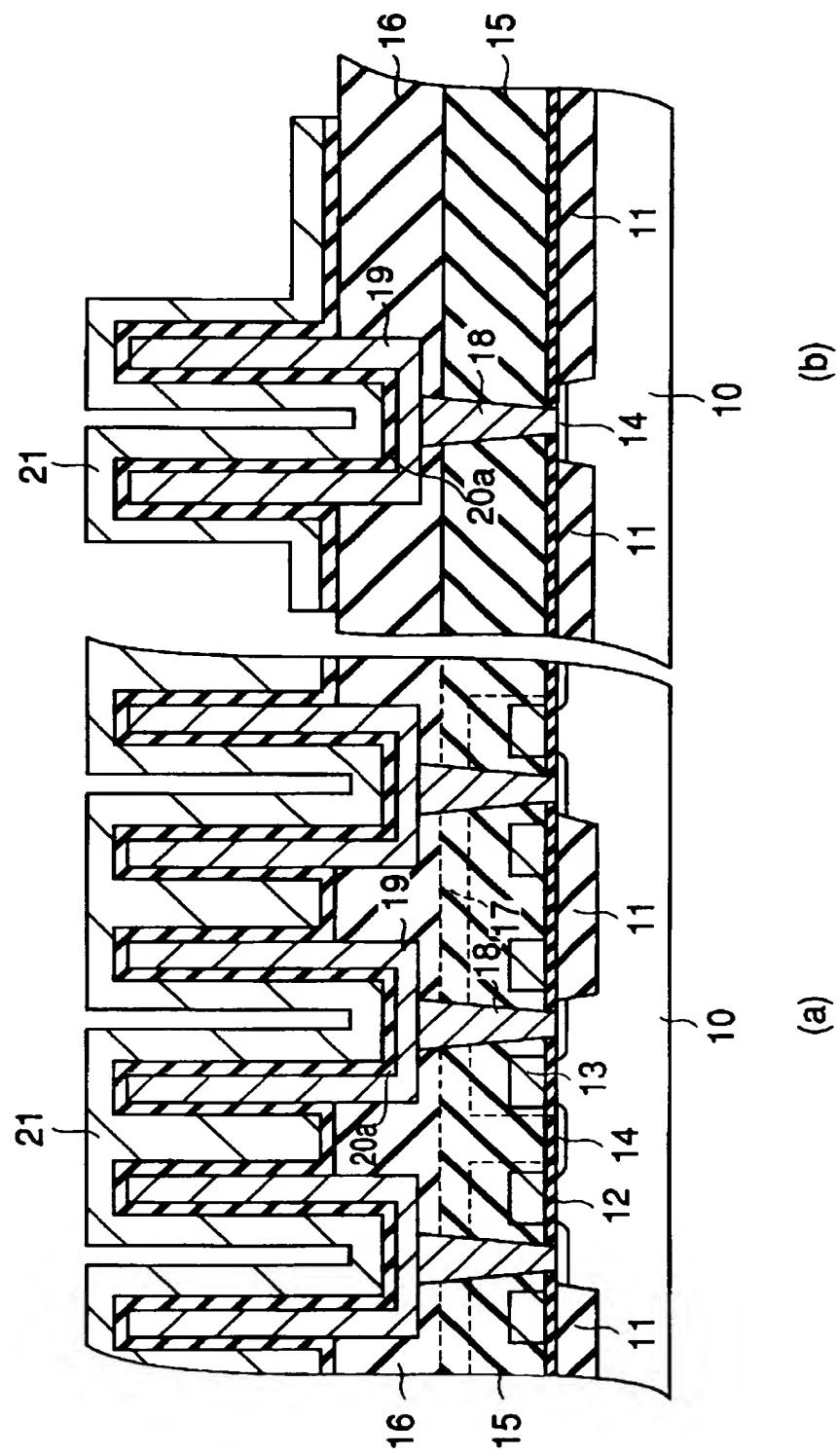
【図10】



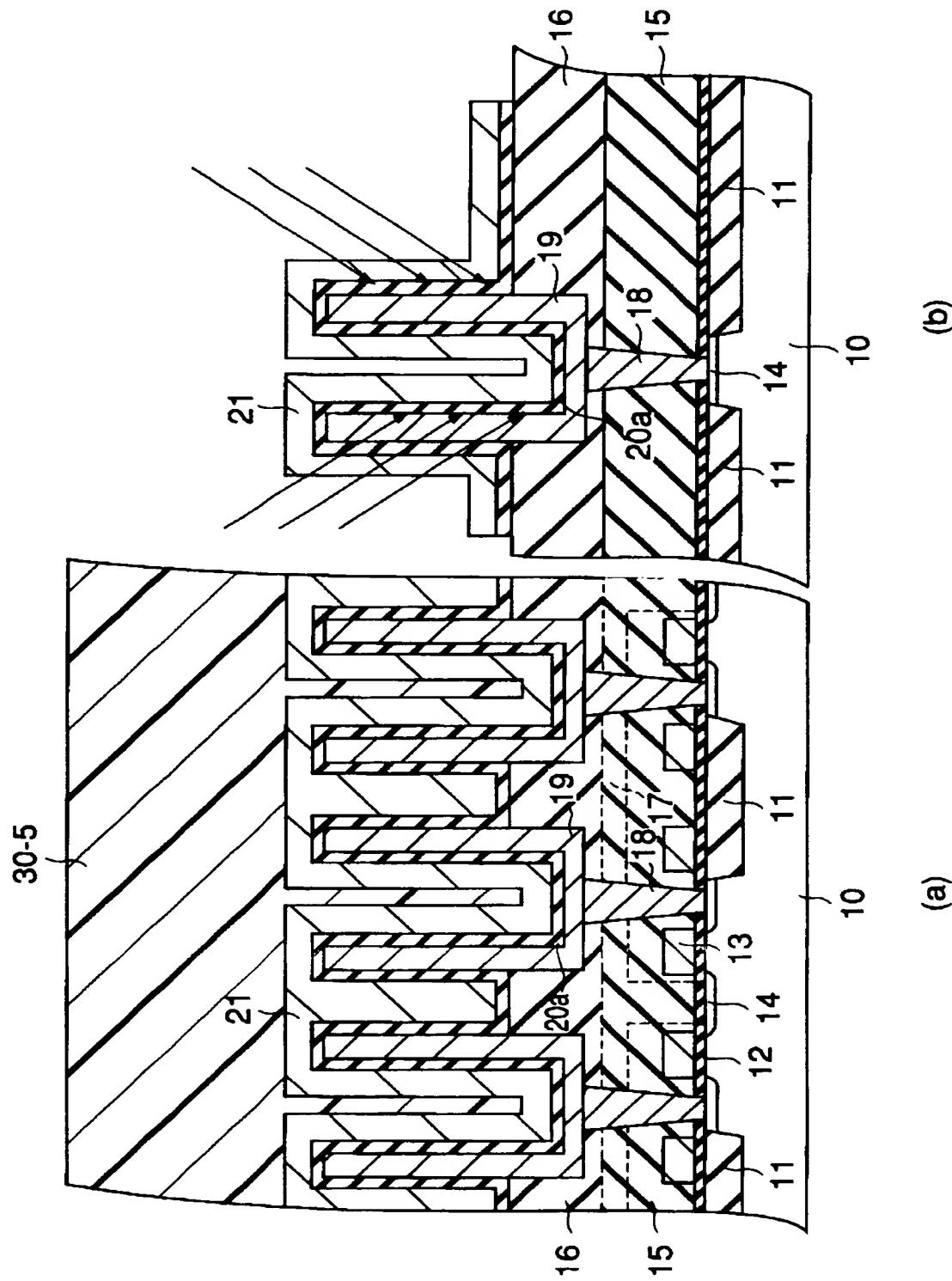
【図11】



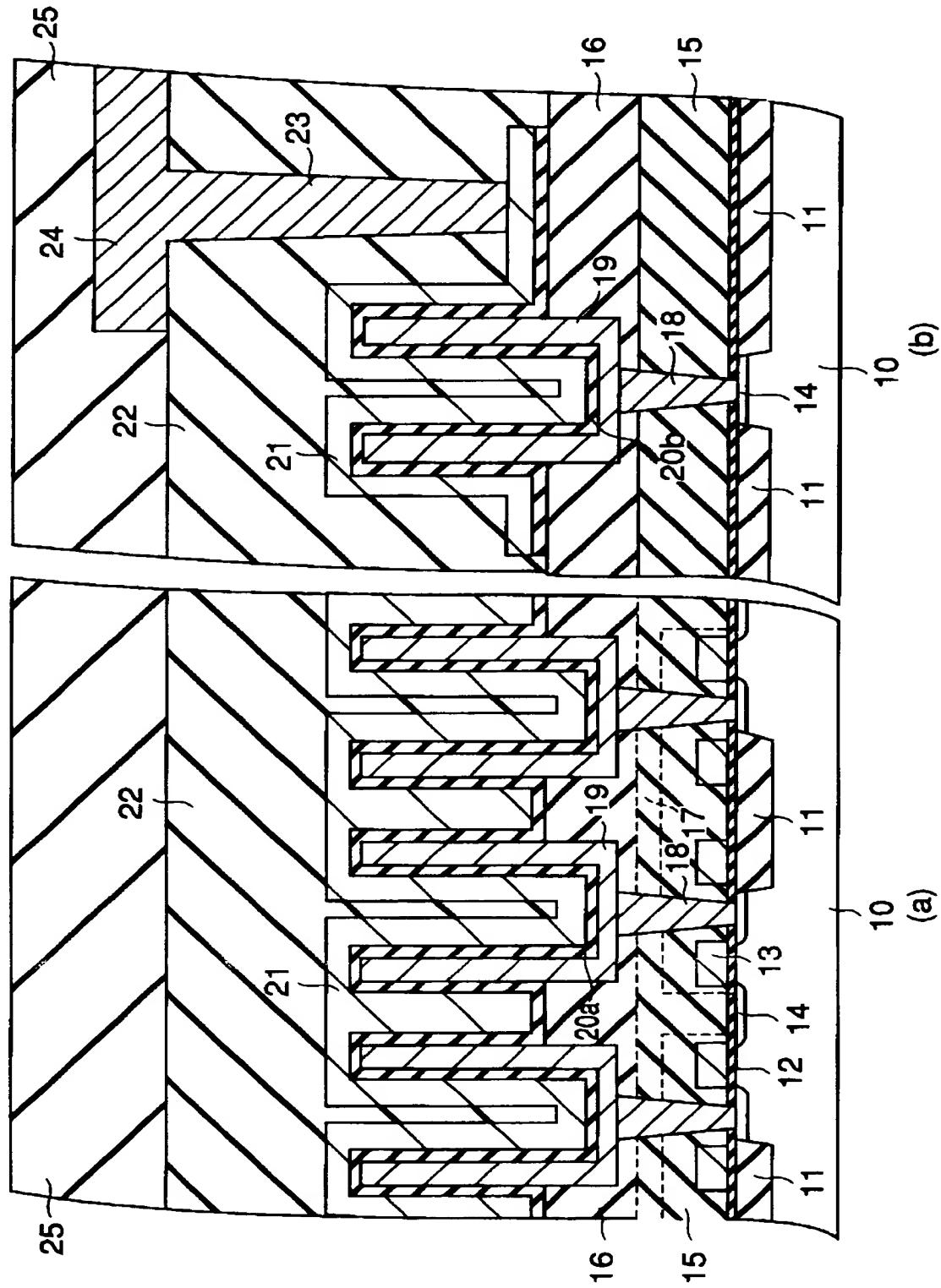
【図12】



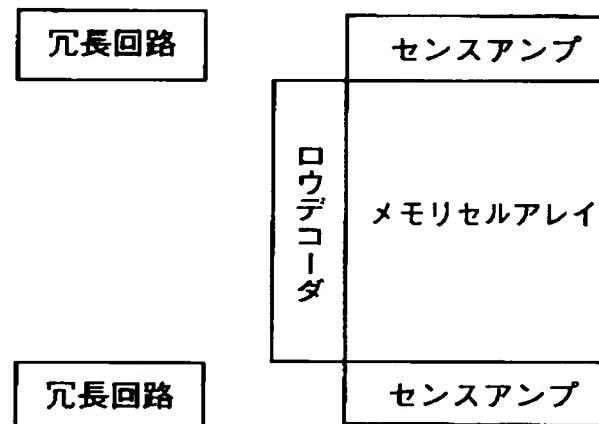
【図13】



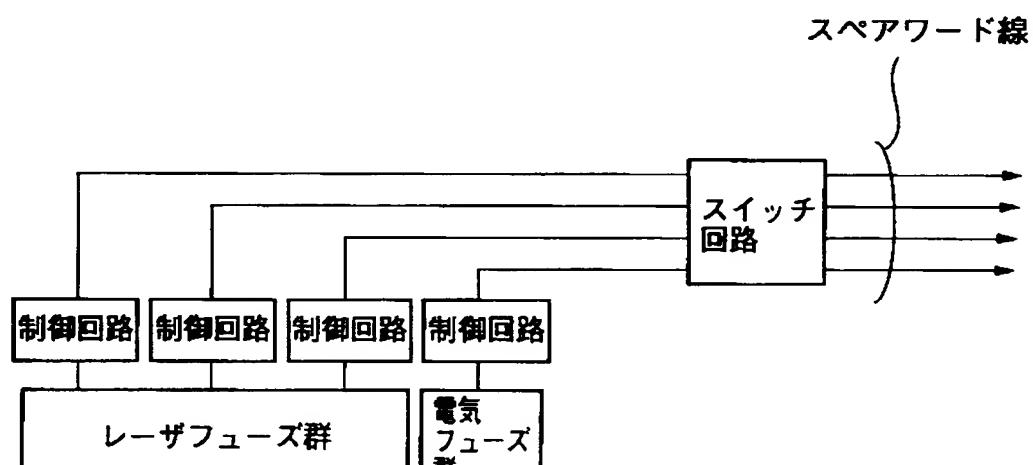
【図14】



【図15】

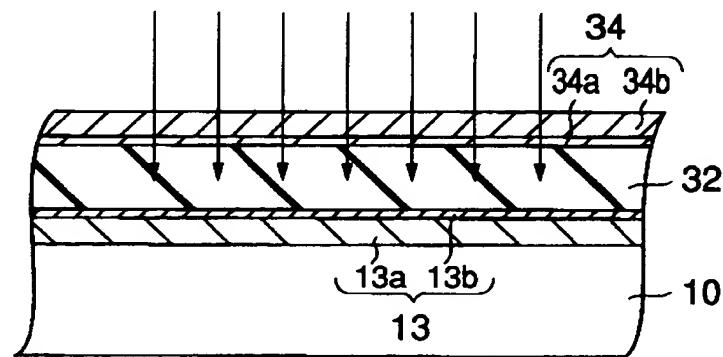


(a)

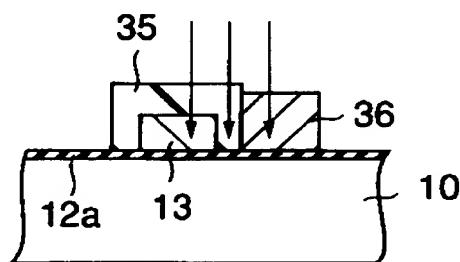


(b)

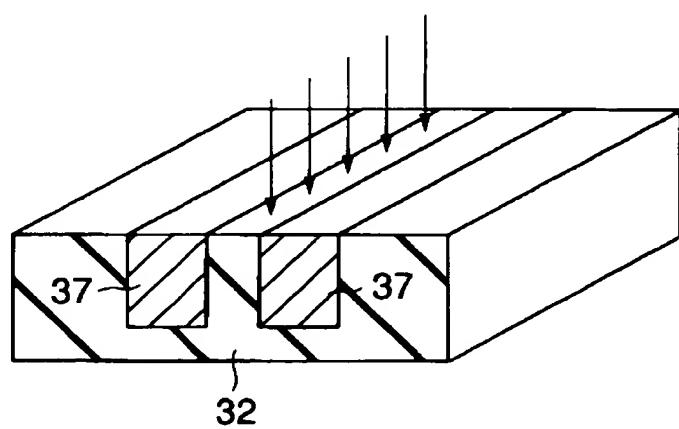
【図16】



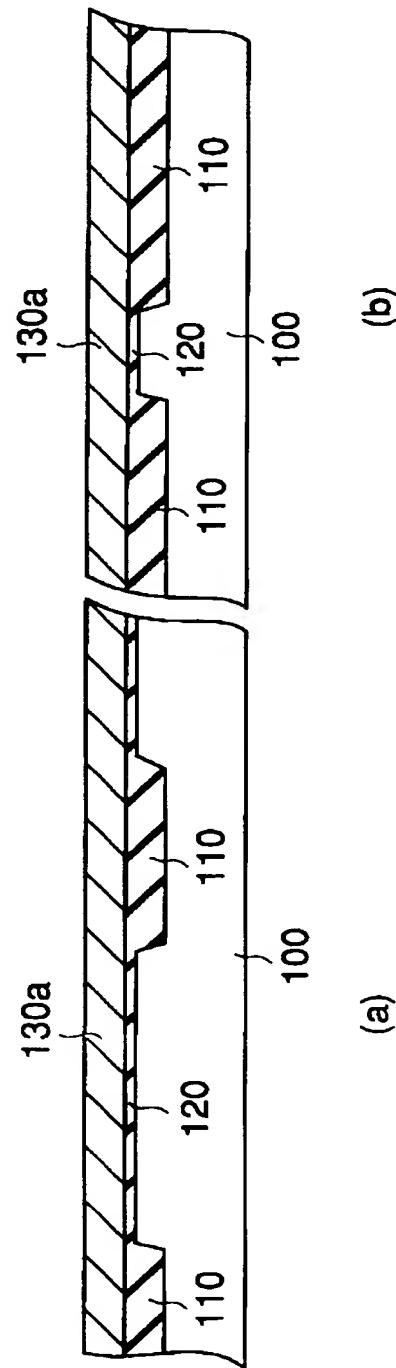
【図17】



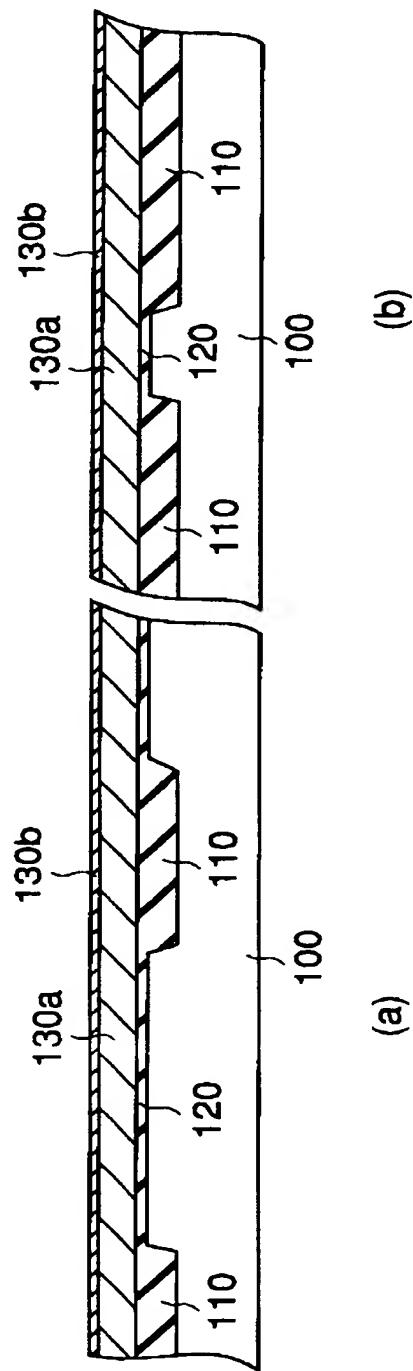
【図18】



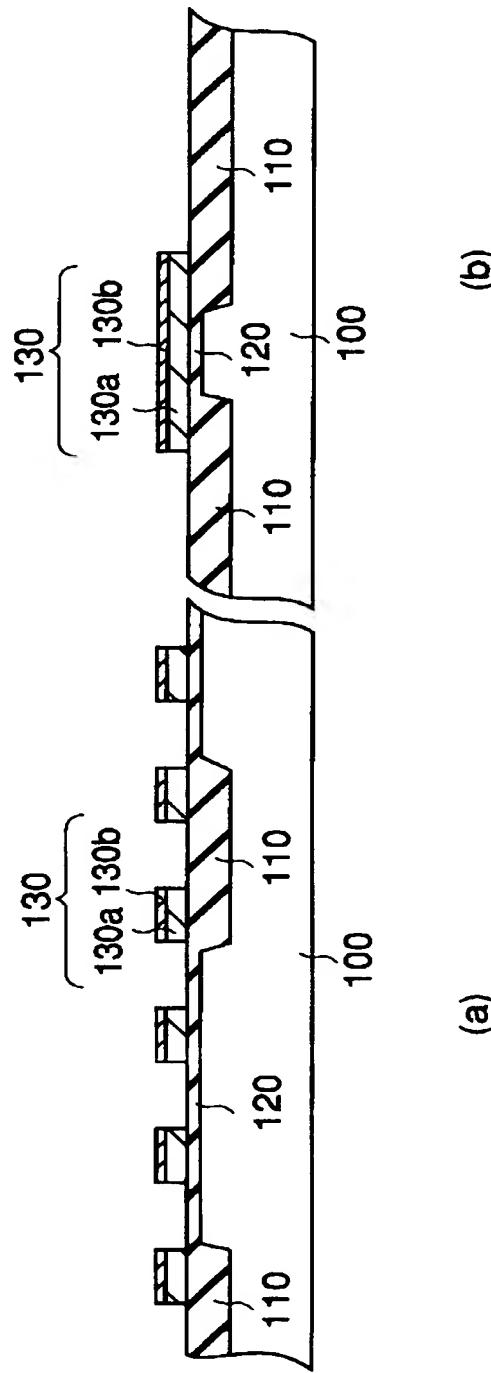
【図19】



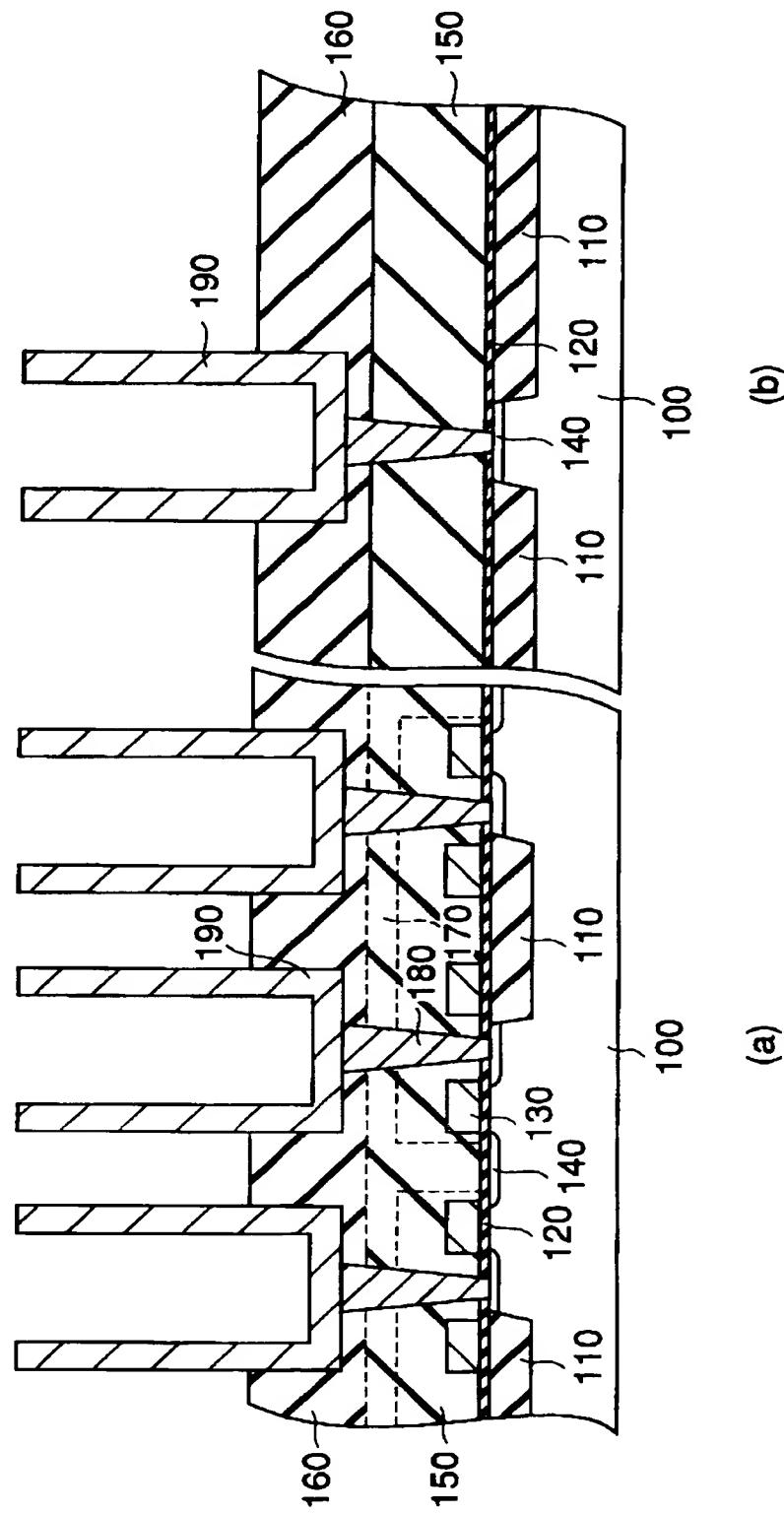
【図20】



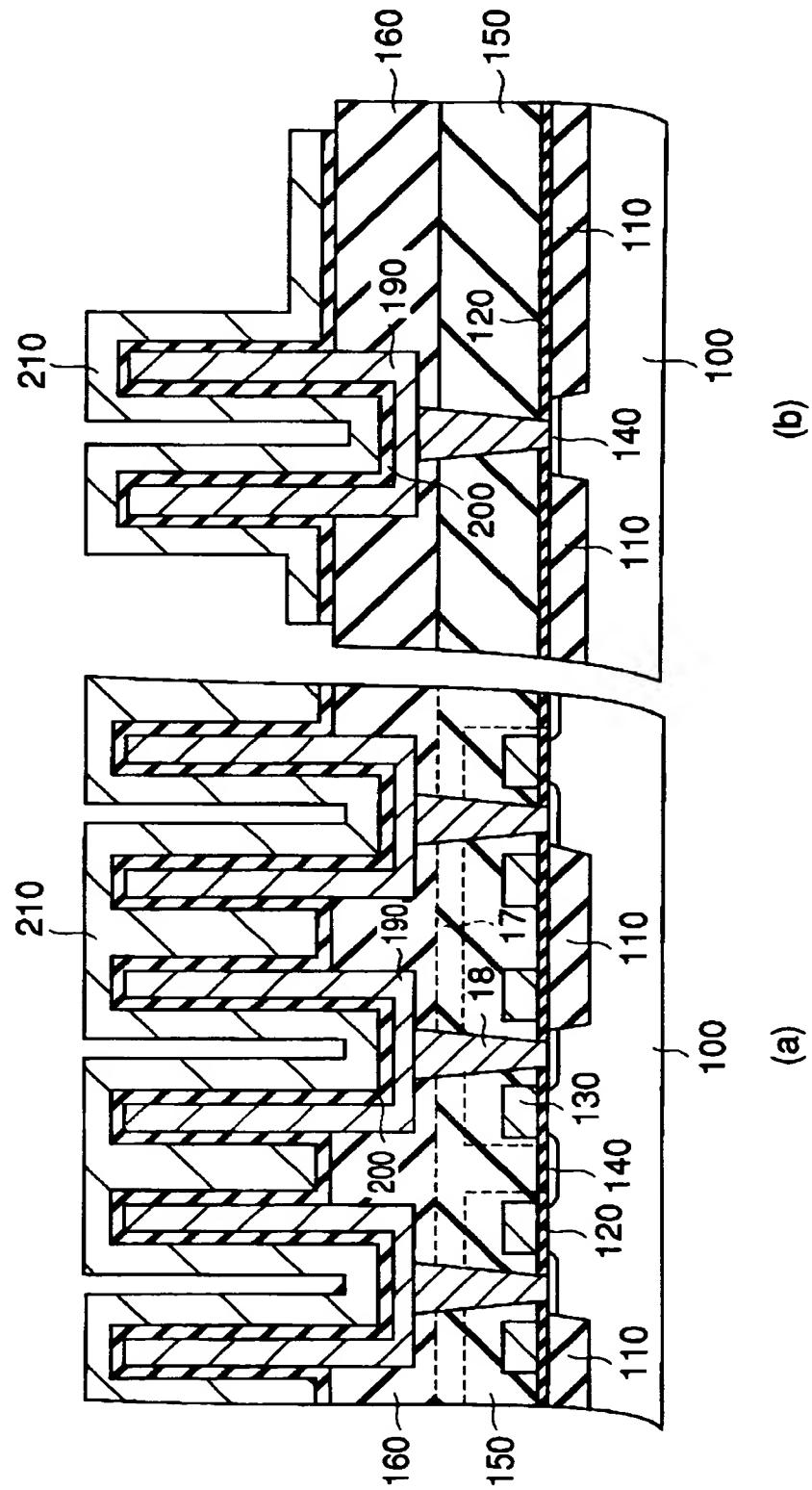
【図21】



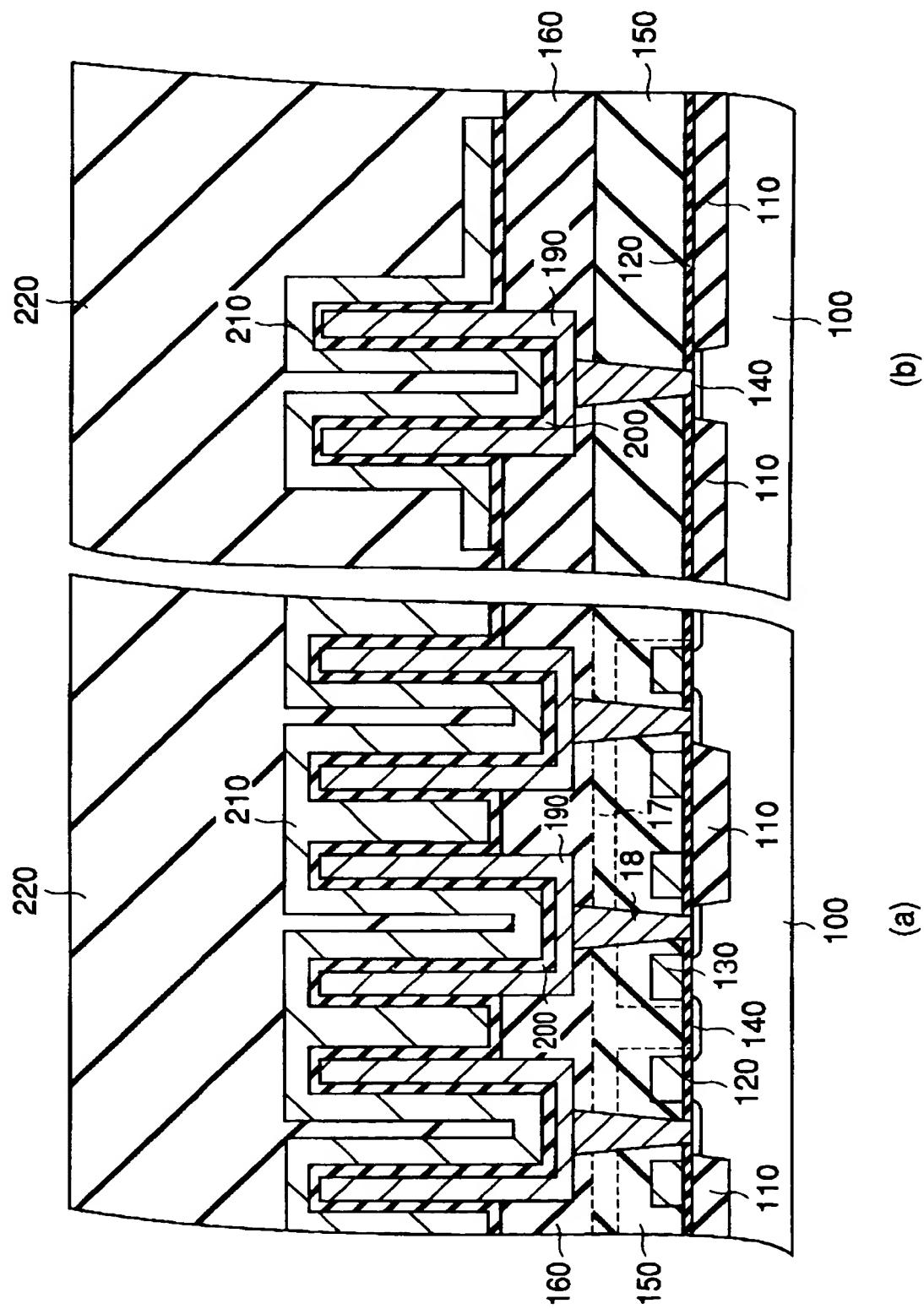
【図22】



【図23】



【図24】



【書類名】 要約書

【要約】

【課題】 フューズキャパシタの性能を独立に制御することにより、開発期間を短縮化し、高信頼性、高性能の電気フューズ、この電気フューズを備えた半導体装置及びその製造方法を提供すること。

【解決手段】 アンチフューズ部に形成したゲート絶縁膜12aにイオンを注入することにより、MOSトランジスタのゲート絶縁膜12aに比べて絶縁破壊耐圧を低下させたゲート絶縁膜12bを形成し、アンチフューズへの書き込み電圧を低減することを特徴としている。また、ゲート絶縁膜12bの絶縁破壊耐圧はイオン注入時のイオン種、加速電圧、またはドーズ量等により制御出来るため、MOSトランジスタに求められる高い絶縁破壊耐圧と、フューズキャパシタに求められる低い絶縁破壊耐圧とを両立でき、更に開発期間の短縮を図ることが出来る。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝